

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-118823

(43)Date of publication of application : 06.06.1986

(51)Int.Cl. G06F 3/03
G06K 11/06

(21)Application number : 59-239377 (71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 15.11.1984 (72)Inventor : YURUGI MASAYOSHI
SHIMIZU YASUO
KONUMA KENJI
NAGATA SHIZUO

(54) VOLTAGE-SENSITIVE COORDINATE INPUT DEVICE

(57)Abstract:

PURPOSE: To obtain accurate position information only by deleting the obtained data as the wrong one in case the difference between the consecutive sampling values exceeds a prescribed level.

CONSTITUTION: The voltage V_a is sampled at the center t_1 of the voltage application time T in addition to the conventional sampling timing t_2 . In the case of a stable voltage waveform (f), the voltage is increased already up to an accurate potential level at a sampling time point with the timing t_1 . Therefore the sampling data have the same value between the t_1 and the t_2 . This shows the accurate data. While a difference Δv is produced between the sample data of the t_1 and the t_2 with a voltage waveform (g) that has a large time constant and cannot rise up to an accurate position voltage level

even with the timing t2. Thus the sample data of the t1 and t2 are once fetched by a memory 13 for calculation of the difference between both data. Then the wrong position information is decided and deleted when the difference Δv exceeds a prescribed level.

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 昭61-118823

⑫ Int.Cl.
G 06 F 3/03
G 06 K 11/06

識別記号 庁内整理番号
7165-5B

⑬ 公開 昭和61年(1986)6月6日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 感圧形座標入力装置

⑮ 特願 昭59-239377

⑯ 出願 昭59(1984)11月15日

⑰ 発明者	萬木 正義	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 発明者	清水 安雄	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 発明者	小沼 賢二	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 発明者	永田 静男	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 出願人	沖電気工業株式会社	東京都港区虎ノ門1丁目7番12号	
⑰ 代理人	弁理士 山本 恵一		

明細書

1. 発明の名称

感圧形座標入力装置

2. 特許請求の範囲

抵抗膜と、該抵抗膜に電圧を印加する駆動装置と、前記抵抗膜上に積層された感圧ゴムと、導電膜を有し前記感圧ゴム上に積層された電極シートと、筆記具による加圧によって前記電極シートに現われた加圧位置に相当する電圧を時分割的に検出し、検出された電圧をデジタル化して出力する検出装置とを具備する感圧形座標入力装置において、前記検出装置が、前記加圧位置に相当する電圧を適当な時間間隔で複数回サンプリングする手段と、該手段によりサンプリングされた電圧データ間の差を算出し、算出された差が基準値以下のときには電圧データを有効と判定し、基準値より大きいときには電圧データを無効と判定する手段を有することを特徴とする感圧形座標入力装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は筆記具等の加圧により加圧位置の座標情報を正確に検出することのできる感圧形座標入力装置に関するものである。

(従来の技術)

従来の座標入力装置におけるタブレットの基本構成を第2図に示す。同図のタブレットは、絶縁基板1上に高抵抗膜2を塗布し、その周囲4辺に低抵抗膜3を塗布し抵抗膜2,3の上に感圧ゴム4を設け、感圧ゴム4の上部には裏面に導体膜を形成した可とう性のあるフィルムシート5を設けて構成されている。

動作はx, y方向を時分割的に行い、X座標を求める時はx方向に電圧を印加する。x方向に電圧を印加する場合は点B, Cに電圧E[V]を印加し、点A, Dに0[V]を印加すると、低抵抗膜(3)BCは全体がE[V]近傍の値をとり、低抵抗膜(3)ADは全体が0[V]近傍の値をとる。また低抵抗膜(3)ABおよび低抵抗膜(3)DCは0[V]からE[V]への電位勾配をもち、低抵抗膜(3)BCおよびADにより駆動される高抵抗膜2も0[V]からE[V]への電位勾配

特開昭61-118823(2)

をもつため、抵抗値の大小に因保なく、各抵抗体2, 3内部の抵抗分布を均一にすることにより、両抵抗体の電位勾配はほぼ等しくなり、電位の乱れは僅小となる。

次にY座標を求める時は、 α 方向に電圧を印加するが、点A, Bに電圧E [V]を、点C, Dに電圧0 [V]を印加することによりX座標を求める時と同様にして、 γ 方向の電位勾配を形成する。

α 方向、 γ 方向に交互に電圧を印加しておきザルペン等の筆記具でフィルムシート5上に置いた用紙の上から押圧すると、押圧点の高抵抗膜2の電位が感圧ゴム4を通してフィルムシート5の裏面に形成した導体膜に伝えられる。この電位は、 α , γ 方向に交互に加えられる駆動電圧のタイミングと同期をとってA/D変換され、結果としてタブレット上のXY座標値が得られる。

第3図は上記の場合の電圧入力部の等価回路を示す図である。同図において、6は高抵抗膜2および低抵抗膜3を含む抵抗膜全体の等価抵抗である。7は感圧ゴム4の等価抵抗であって、筆圧に

この等価回路において、高抵抗膜2上の任意の点、すなわち第3図の⑥点を筆記具等で押圧した状態でSW1を閉じると、⑥点の電圧は、抵抗6, 7を介して分布容量8が充電されるに従い上昇し、最終的に抵抗6の電位勾配における⑥点の位置電位となる。すなわち抵抗6と抵抗7の分布容量8の充電に関する等価抵抗をR、分布容量8の値をC_sとすると、電圧波形V_aは第4図の④に示すように時定数τ = R · C_sの遅れを生じて指數関数的に立上がるが、SW1の閉じている時間Tの間には安定し、タイミングコントローラ11から出力されるサンプリングタイミング信号12で位置検出部へとりこまれる。

(発明が解決しようとする問題点)

しかしながら、上記構成の従来技術の座標入力装置では、インピーダンス変換器9の前段の等価抵抗Rには感圧ゴム4の等価抵抗7が含まれており、その抵抗値は押圧の程度により大きく変動する。加わる圧力が小さくなると抵抗値は大きくなり、その結果押圧点の位置情報を表わす電圧波形

応じてその垂直方向の抵抗値が数10Ω～数10MΩまで変化する。8はフィルムシート5の導体膜と抵抗膜2, 3等の間に存在する分布容量である。9は電圧入力部を高インピーダンスに保つためのインピーダンス変換器であって、図中④点に出力される位置電圧をA/D変換器10に出力する。10はインピーダンス変換器9からの位置電圧をA/D変換して出力するA/D変換器である。11は後述のスイッチSW1の開閉を制御するとともに電圧のサンプリングすなわちA/D変換器10におけるA/D変換のタイミングを制御するタイミングコントローラである。12はタイミングコントローラ11からA/D変換器10に供給される電圧サンプリング信号である(第4図参照)。またEは抵抗膜に電圧を印加するためのパッテリ、SW1はタイミングコントローラ11により制御され抵抗膜へ電圧印加するスイッチであり、本来は複数個で α , γ 方向への電圧印加を行なうが、第3図には説明の簡単化のため1個のスイッチで示してある。

V_aの時定数τも大きくなつて第4図の④, ⑤のごとく電圧の立ち上りも遅くなる。特に④においては正確な電圧にならないうちにサンプリングがなされるため、誤った位置検出が行なわれてしまう欠点があった。

本発明は上記のような誤った位置電圧の検出を除去し、正確な位置電圧のみを検出することできる座標入力装置を提供することを目的とする。

(問題点を解決するための手段)

上記従来技術の問題点を解決するために、本発明の感圧形座標入力装置は、抵抗膜と、該抵抗膜に電圧を印加する駆動装置と、前記抵抗膜上に積層された感圧ゴムと、導電膜を有し前記感圧ゴム上に積層された電極シートと、筆記具による加圧によって前記電極シートに現われた加圧位置に相当する電圧を時分割的に検出し、検出された電圧をデジタル化して出力する検出装置とを具備する装置において、前記検出回路が次に示す2つの手段を有することを特徴とする。

第1の手段は、加圧位置に相当する電圧を適当

を時間間隔で複数回サンプリングする。第2の手段は、第1の手段によりサンプリングされた複数のサンプリング電圧データ間の差を求め、求めた差と基準値を比較し、差が基準値以下のときにはサンプリング電圧データを有効と判定し、差が基準値より大きいときにはサンプリング電圧データを無効と判定する。

(作用)

本発明によれば、以上のように感圧形座標入力装置を構成したので、前記第1の手段は抵抗膜に電圧が印加されている時間内の複数のサンプリングタイミングにて電圧データをそれぞれサンプリングするように働く。一方、前記第2の手段はサンプリングされた電圧データ間の差を求めて基準値と比較することにより電圧データが正確な位置情報を示しているかどうか判定し、誤った位置情報のデータは除去して正確な位置情報のみが得られるように働く。従って従来技術の問題点を解決することが可能となる。

波形 V_a は第1図の④点又はA/D変換器10の入力部の波形に相当する。サンプリングタイミング信号12aは本実施例では従来のサンプリングタイミングt₁の他に電圧印加時間Tの中央t₂でサンプリングを行なわせる。

ここで安定した電圧波形①の場合、t₁でのサンプル時点で正確な位置電圧まで電圧が上っているので、t₁とt₂でのサンプルデータは同じになり差は0である。

これに対し、時定数が大きくてのサンプルタイミングでも正確な位置電圧まで上がりきれない電圧波形②では、t₁とt₂でのサンプルデータ間に4%の差を生ずる。

従って、t₁とt₂でのサンプルデータを一度メモリ13にとりこんでその差を加減算器14で計算することにより正確な位置電圧が示されているかどうか判定可能となる。ここで差が、基準値以上の場合は無効データとして扱う。以上のようにすると誤った位置電圧が除去されて正確な位置電圧のみが検出可能となる。

(実施例)

以下本発明の実施例を第1図に基づいて説明する。

第1図において、要素6～11、SW1、Eは第3図の対応する要素と同様な機能を有するので詳細説明は省略する。また同図において、12aはタイミングコントローラ11からA/D変換器10に供給される電圧サンプリングタイミング信号であり、第5図に示すようにSW1が閉じている時間、すなわち電圧印加時間T内に複数回の電圧サンプリングを行なわせるタイミング信号である。13はA/D変換器10で電圧印加時間T内に複数回サンプリングされたデータを一定時間記憶しておくメモリである。14は加減算器であり、電圧印加時間T内にサンプリングされた複数の電圧データをメモリ13から読み出し、その差を算出し、算出された差が一定値以下かどうかを判定する。判定結果は出力15を介して制御部(図示せず)へ出力される。

次に動作について説明する。第5図の位置電圧

また、t₁とt₂の間隔、判定基準とする4%の値、更に電圧印加時間T内でのサンプル回数等を適当に選択することにより、サンプルデータの正確さ、厳密さを向上させることができる。

なお、上記実施例ではメモリ13と加減算器14とを別々の要素として示したが、これらは1つのマイクロコンピュータを用いて構成することもでき、また図示されていない後段の制御部のコンピュータにより構成しても良い。

更に、上記位置電圧波形の判定結果を発光ダイオード等で表示させると、筆圧状態(十分な筆圧状態か筆圧不足か)を筆記者に知らせることができ、常に安定した筆圧状態を実現することが可能となる。

(発明の効果)

以上説明したように、本発明によれば誤った位置電圧の検出を除去し正確な位置電圧のみが検出されるので、座標位置の検出精度が向上するという利点がある。また、位置の誤検出防止のために従来行なっていたデータのフィルタリング、平滑

処理等のデータの後処理を大幅に軽減することができ、あるいはこれらの後処理が不要となる利点がある。

4. 図面の簡単な説明

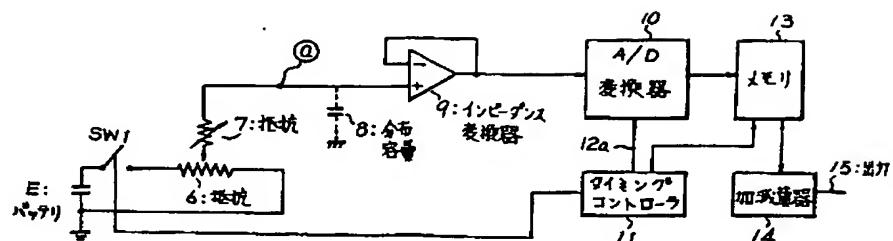
第1図は本発明の一実施例における電圧入力部を示す回路図、第2図はタブレット構成図、第3図は従来例における電圧入力部を示す回路図、第4図は従来の装置におけるサンプリングタイミング及び電圧波形を示す図、第5図は本発明の装置におけるサンプリングタイミング及び電圧波形を示す図である。

1…絶縁基板、2…高抵抗膜、3…低抵抗膜、
4…感圧ゴム、5…フィルムシート、6…抵抗、
8…分布容量、9…インピーダンス変換器、
10…A/D変換器、11…タイミングコントローラ、
13…メモリ、14…加減算器。

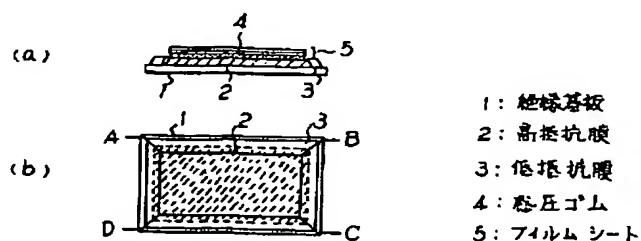
特許出願人　沖電気工業株式会社

特許出願代理人　弁理士　山本恵一

第1図

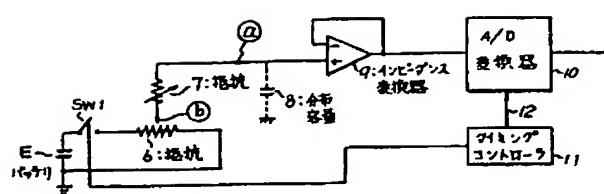


第2図

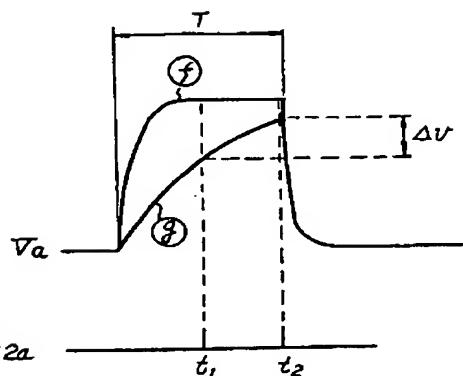


BEST AVAILABLE COPY

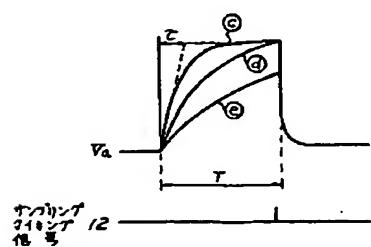
第3図



第5図



第4図



サンプリング
タイミング t_{2a}
倍号